

Docket No.: 65933-072

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Eiji TAGUCHI, et al.	:	Confirmation Number:
Sérial No.:	:	Group Art Unit:
Filed: Février 24, 2004	:	Examiner: Unknown
For:	:	
SIGNAL LINE DRIVE CIRCUIT IN IMAGE DISPLAY APPARATUS		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-061223, filed March 7, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 AJS:tlb
Facsimile: (202) 756-8087
Date: February 24, 2004

65933-072
TAGUCHI, et al.
February 24, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 6 1 2 2 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 6 1 2 2 3]

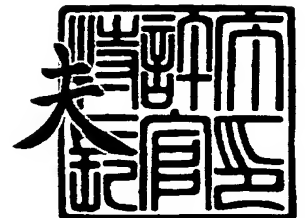
出 願 人 三 洋 電 機 株 式 会 社
Applicant(s):



2 0 0 4 年 1 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 1 0 0 6 5

【書類名】 特許願

【整理番号】 NPC1020080

【提出日】 平成15年 3月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/00
H04N 5/00
G09G 3/20
G09G 3/30

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

【氏名】 田口 英二

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

【氏名】 松本 昭一郎

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100105924

【弁理士】

【氏名又は名称】 森下 賢樹

【電話番号】 03-3461-3687

【手数料の表示】

【予納台帳番号】 091329

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0010682

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置の信号線駆動回路

【特許請求の範囲】

【請求項 1】 高圧側および低圧側のスイッチブロックと、

高圧側のスイッチブロックから選択された高圧側選択スイッチと低圧側のスイッチブロックから選択された低圧側選択スイッチを介して両端にそれぞれ高圧側および低圧側の電圧が印加されるラダー抵抗と、

前記ラダー抵抗の前記高圧側選択スイッチに接続される端から第 1 の中間電圧を取り出し、前記ラダー抵抗の途中から前記高圧側選択スイッチに近い順に第 2、第 3、・・・第 $k-1$ の中間電圧を取り出し、前記ラダー抵抗の前記低圧側選択スイッチに接続される端から第 k の中間電圧を取り出す複数の中間電圧取出信号線と（ただし k は 2 以上の整数）、

を含み、

前記ラダー抵抗の抵抗成分のうち前記第 1 の中間電圧と第 2 の中間電圧との差を生じさせる分割抵抗値は前記高圧側選択スイッチのオン抵抗値より大きい関係であることを特徴とする信号線駆動回路。

【請求項 2】 高圧側および低圧側のスイッチブロックと、

高圧側のスイッチブロックから選択された高圧側選択スイッチと低圧側のスイッチブロックから選択された低圧側選択スイッチを介して両端にそれぞれ高圧側および低圧側の電圧が印加されるラダー抵抗と、

前記ラダー抵抗の前記高圧側選択スイッチに接続される端から第 1 の中間電圧を取り出し、前記ラダー抵抗の途中から前記高圧側選択スイッチに近い順に第 2、第 3、・・・第 $k-1$ の中間電圧を取り出し、前記ラダー抵抗の前記低圧側選択スイッチに接続される端から第 k の中間電圧を取り出す複数の中間電圧取出信号線と（ただし k は 2 以上の整数）、

を含み、

前記ラダー抵抗の抵抗成分のうち前記第 $k-1$ の中間電圧と第 k の中間電圧との差を生じさせる分割抵抗値は前記低圧側選択スイッチのオン抵抗値より大きい関係であることを特徴とする信号線駆動回路。

【請求項 3】 高圧側および低圧側のスイッチブロックと、

高圧側のスイッチブロックから選択された高圧側選択スイッチと低圧側のスイッチブロックから選択された低圧側選択スイッチを介して両端にそれぞれ高圧側および低圧側の電圧が印加されるラダー抵抗と、

前記ラダー抵抗の途中からそれぞれ異なる中間電圧を取り出す複数の中間電圧取出信号線と、

を含み、

前記高圧側の電圧と所定の参照電圧との電位差、および、前記低圧側の電圧と前記参照電圧との電位差の大小関係と、前記高圧側および低圧側選択スイッチのオン抵抗値の大小関係が逆になるよう構成したことを特徴とする信号線駆動回路。

【請求項 4】 n ビットの画像信号のうちの x ビットの入力を受け、前記高圧側および低圧側のスイッチブロックからそれぞれ前記高圧側および低圧側選択スイッチを選択する上位選択回路と（ただし、 n は 2 以上の整数であり、 x は 1 以上で n より小さい整数）、

前記画像信号のうち前記 x ビットを除く $n - x$ ビットの信号によって、前記複数の中間電圧取出信号線のうちから所望の 1 本を選択する下位選択回路と、

を含むことを特徴とする請求項 1 から 3 のいずれかに記載の信号線駆動回路。

【請求項 5】 前記上位選択回路は、前記スイッチブロックに含まれる複数のスイッチが間挿される線の経路外に、前記高圧側および低圧側選択スイッチを選択するための論理が存在する型の回路であり、

前記下位選択回路は、前記複数の中間電圧取出信号線のうちから所望の 1 本を選択するための論理の少なくとも一部が、選択されるべき中間電圧取出信号線の経路上に間挿される型の回路であることを特徴とする請求項 4 に記載する信号線駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画像表示装置のうち、特に信号線駆動回路の設計に関する。

【0002】

【従来の技術】

近年、ガラス基板上に半導体薄膜を形成した半導体装置が普及している。その中でも、TFT (Thin Film Transistor) を使用したアクティブマトリックス型画像表示装置の普及は著しい。そして、最近では、画素を構成するTFTと画素マトリックスの外側の駆動回路を同時形成するポリシリコンTFT技術が発達している。この技術により、画像表示装置の配線の量を大幅に減らすことができ、耐久性の向上、薄型・軽量、低消費電力が実現されている。また、同時形成される駆動回路もアナログ画像信号対応のものだけでなく、デジタル画像信号に対応したものも実現されている。

【0003】

アクティブマトリックス型画像表示装置の代表的な例として、アクティブマトリックス型液晶表示装置がある。アクティブマトリックス型液晶表示装置の信号線駆動回路は、クロック信号等のタイミング信号に同期して、入力された画像信号をサンプリングする。そして、そのサンプリングされた画像信号を、対応する所定の電圧に変換して、これを画素となる液晶に印加する。液晶は、印加電圧に応じて光透過率を変化させる性質を有するので、これにより画像表示をすることができる。

【特許文献1】

特開平11-167373号公報

【0004】

【発明が解決しようとする課題】

信号線駆動回路は、一般に回路内に複数のスイッチを有する。したがって、信号線駆動回路が画像信号を所定の電圧への変換する過程で、それらのスイッチのオン抵抗により電圧降下が生じる。この電圧降下により、信号線駆動回路が各画素に印加しようとする電圧と実際に各画素に印加する電圧の間にはずれが生じる場合がある。このため、特に多階調の色彩をコントロールすることが難しくなる。

【0005】

本発明は上記課題に鑑みてなされたものであり、その目的は、画像表示装置の色彩をなめらかにコントロールする技術の提供、にある。

【0006】

【課題を解決するための手段】

本発明のある態様は信号線駆動回路である。この回路は、高圧側および低圧側のスイッチブロックと、高圧側のスイッチブロックから選択された高圧側選択スイッチと低圧側のスイッチブロックから選択された低圧側選択スイッチを介して両端にそれぞれ高圧側および低圧側の電圧が印加されるラダー抵抗と、ラダー抵抗の高圧側選択スイッチに接続される端から第1の中間電圧を取り出し、ラダー抵抗の途中から高圧側選択スイッチに近い順に第2、第3、・・・第 $k-1$ の中間電圧を取り出し、ラダー抵抗の低圧側選択スイッチに接続される端から第 k の中間電圧を取り出す複数の中間電圧取出信号線と（ただし k は2以上の整数）を含み、ラダー抵抗の抵抗成分のうち第1の中間電圧と第2の中間電圧との差を生じさせる分割抵抗値は高圧側選択スイッチのオン抵抗値より大きい関係であることを特徴とする。

【0007】

「スイッチ」は、主としてトランジスタのような電子的素子をいうがこれに限る趣旨ではなく、電流を通したり止めたり、また、切り替えたりする装置のことをいう。「スイッチブロック」とは、ラダー抵抗のそれぞれの端に印加される電圧を選択するための複数のスイッチの総称をいう。ラダー抵抗のうち、高圧側の分割抵抗値よりも、高圧側選択スイッチのオン抵抗値を小さくすることで、画素の色彩コントロールをなめらかに行うことができる。

【0008】

本発明の別の態様も信号線駆動回路である。この回路は、高圧側および低圧側のスイッチブロックと、高圧側のスイッチブロックから選択された高圧側選択スイッチと低圧側のスイッチブロックから選択された低圧側選択スイッチを介して両端にそれぞれ高圧側および低圧側の電圧が印加されるラダー抵抗と、ラダー抵抗の高圧側選択スイッチに接続される端から第1の中間電圧を取り出し、ラダー抵抗の途中から高圧側選択スイッチに近い順に第2、第3、・・・第 $k-1$ の中

間電圧を取り出し、ラダー抵抗の低圧側選択スイッチに接続される端から第 k の中間電圧を取り出す複数の中間電圧取出信号線と（ただし k は 2 以上の整数）を含み、ラダー抵抗の抵抗成分のうち第 $k-1$ の中間電圧と第 k の中間電圧との差を生じさせる分割抵抗値は低圧側選択スイッチのオン抵抗値より大きい関係であることを特徴とする。

【0009】

同じく、ラダー抵抗のうち、低圧側の分割抵抗値よりも、低圧側選択スイッチのオン抵抗値を小さくすることで、画素の色彩コントロールをなめらかに行うことができる。

【0010】

本発明の別の態様も信号線駆動回路である。この回路は、高圧側および低圧側のスイッチブロックと、高圧側のスイッチブロックから選択された高圧側選択スイッチと低圧側のスイッチブロックから選択された低圧側選択スイッチを介して両端にそれぞれ高圧側および低圧側の電圧が印加されるラダー抵抗と、ラダー抵抗の途中からそれぞれ異なる中間電圧を取り出す複数の中間電圧取出信号線とを含み、高圧側の電圧と所定の参照電圧との電位差、および、低圧側の電圧とその参照電圧との電位差の大小関係と、高圧側および低圧側選択スイッチのオン抵抗値の大小関係が逆になるよう構成したことを特徴とする。

【0011】

スイッチブロック内の各スイッチはそれぞれ異なる電圧線に接続されている。この電圧線の供給する電圧が高いほど、信号線への書き込みに時間がかかる。そこで、これらの電圧線から信号線へ電圧を供給するに際し、予め信号線に所定の基準となる電圧（以下、「プリチャージ電圧」とよぶ）を供給する場合もある。たとえば、信号線に高電圧を供給する場合においては、プリチャージ電圧との差分となる電圧だけ印加し、プリチャージ電圧よりも低い電圧を信号線に供給する場合には、その差分に応じて、プリチャージ電圧を放電する。しかし、それであっても、信号線に供給される電圧と、このプリチャージ電圧との電位差が大きい場合には、その書き込みに時間がかかる。したがって、プリチャージ電圧との電位差が大きい電圧を供給する電圧線に接続されるスイッチのオン抵抗値を小さな

値に調整することで、書込時間を短縮出来る。

【0012】

また、この信号線駆動回路は、 n ビットの画像信号のうちの x ビットの入力を受け、高圧側および低圧側のスイッチブロックからそれぞれ高圧側および低圧側選択スイッチを選択する上位選択回路と（ただし、 n は2以上の整数であり、 x は1以上で n より小さい整数）、画像信号のうち先ほどの x ビットを除く $n-x$ ビットの信号によって、複数の中間電圧取出信号線のうちから所望の1本を選択する下位選択回路とを含んでもよい。

【0013】

画像信号のビット数を上位選択回路と下位選択回路において、適切に分配することにより、画像表示装置の仕様に応じて効率的に信号線駆動回路を設計することが出来る。

【0014】

また、その上位選択回路は、スイッチブロックに含まれる複数のスイッチが間挿される線の経路外に、高圧側および低圧側選択スイッチを選択するための論理が存在する型の回路であり、下位選択回路は、複数の中間電圧取出信号線のうちから所望の一本を選択するための論理の少なくとも一部が、選択されるべき中間電圧取出信号線の経路上に間挿される型の回路であってもよい。

【0015】

上位選択回路と下位選択回路の回路の種類を分けることにより、画像表示装置の仕様に合わせて更に効率的に信号線駆動回路を設計できる。

【0016】

なお、以上の構成要素の任意の組合せや組替え、本発明を方法として表現したものもまた、本発明の態様として有効である。

【0017】

【発明の実施の形態】

まず、アクティブマトリックス型液晶表示装置の動作原理を説明する。

【0018】

図1は、アクティブマトリックス型液晶表示装置の構成を示す。アクティブマ

トリックス型液晶表示装置は信号線駆動回路 100 と走査線駆動回路 400 および画素マトリックス 500 を含む。信号線駆動回路 100 は、クロック信号等のタイミング信号に同期して、入力された画像信号をサンプリングする。そして、信号線駆動回路 100 はサンプリングされた画像信号を、それに対応する所定の電圧に変換して各画素信号線 510 上の各画素回路 530 に印加する。走査線駆動回路 400 は、クロック信号等のタイミング信号に同期して、走査線 520 を順次選択し、各走査線 520 上の各画素回路 530 をオン・オフ制御する。画素回路 530 の液晶が印加電圧に応じて光の透過率を変化させることにより所望の画像表示がなされる。

【0019】

図 2 は信号線駆動回路 100 の内部構成を示す。シフトレジスタ 102 は、スタートパルス信号線 104 よりスタートパルスの入力を受けると、クロック信号線 106 より入力されるクロック信号に同期して、サンプリングパルスを発生させる。ラッチ回路 200 は、このサンプリングパルスに同期して、画像信号線 108 よりデジタルの画像信号（以下、単に「画像信号」とよぶ）を受け取り、これを記憶する。

【0020】

ラッチ回路 200 が記憶している画像信号は、ラッチ信号線 110 より入力されるラッチ信号に同期して、画像信号 D/A 変換回路 300 に伝達される。画像信号 D/A 変換回路 300 は、この画像信号を基準階調電圧線 202 より供給される電圧（以下、「基準階調電圧」とよぶ）を元に、所定の電圧（以下、「画素印加電圧」とよぶ）に変換する。この画像信号 D/A 変換回路 300 の D/A 変換の仕組みについては、後に詳述する。

【0021】

画素信号線選択回路 350 は、画像信号 D/A 変換回路 300 より画素印加電圧の入力を受けると、画素信号線選択信号線 352 より入力される信号線選択信号に同期して、所定の画素信号線 510 に画素印加電圧を印加する。画素信号線選択回路 350 は 1 水平走査期間を複数に分割して書込を行うことで、すべての画素信号線 510 を駆動する。

【0022】

次に、図2の画像信号D/A変換部150の動作原理を説明する。

【0023】

図3は図2の画像信号D/A変換部150の内部構成を示す。ここでは4ビットの画像信号D/A変換部150を例にとる。また、配線自体の内部抵抗や、スイッチのオン抵抗については考慮しない。

【0024】

画像信号D/A変換部150は上位選択回路312と下位選択回路334に分けることができる。上位選択回路312はそれぞれ4つずつのスイッチ(A1～A4、B1～B4)を含む高圧側スイッチブロック310、低圧側スイッチブロック320と基準階調電圧線202を含む。下位選択回路334は、4つのスイッチ(C1～C4)を含むラダースイッチブロック340とラダー抵抗330を含む。各基準階調電圧線202は低電圧から高電圧までの5種類の電圧(V0～V4)をそれぞれ供給する。

【0025】

同図において、高圧側スイッチブロック310および低圧側スイッチブロック320は、それぞれラッチ回路200から伝達された4ビットの画像信号のうち2ビットの信号(以下、「上位信号」とよぶ)によって制御される。高圧側スイッチブロック310および低圧側スイッチブロック320においては、それぞれ、いずれかひとつのスイッチだけが閉じられるように設計されており、同時に二つのスイッチが閉じられることはない。また、高圧側スイッチブロック310の内部のスイッチと低圧側スイッチブロック320の内部のスイッチの間には次に示す所定の関係がある。

【0026】

すなわち、高圧側スイッチブロック310のB4スイッチが閉じるときには、低圧側スイッチブロック320のA4スイッチもこれに連動して閉じられる。同じく、高圧側スイッチブロック310のB3のスイッチが閉じるときには、低圧側スイッチブロック320のA3スイッチもこれに連動して閉じられる。これは、他のスイッチについても同様である。したがって、常に隣り合う基準階調電圧

線 202 が選択されて、所定の基準階調電圧がラダー抵抗 330 の両端に印加される。

【0027】

ラダースイッチブロック 340 は、ラッチ回路 200 から伝達された 4 ビットの画像信号のうち、上位選択回路 312 で使用した 2 ビット分を除いた残りの 2 ビットの信号（以下、「下位信号」という）によって制御される。ラダースイッチブロックにおいては、いずれかひとつのスイッチだけが閉じられるように設計されており、同時に二つのスイッチが閉じられることはない。

【0028】

上位選択回路 312 によって選択され、ラダー抵抗 330 の両端に印加される電圧（以下、「ラダー印加電圧」とよぶ）は、ラダー抵抗 330 の分割抵抗 R_0 から R_3 により分割される。そして、4 本の間電圧取出信号線 332 により、ラダースイッチブロック 340 には 4 種類の間電圧が入力される。したがって、下位信号に応じてラダースイッチブロック 340 内のスイッチブロックのいずれかのスイッチを閉じることで、これらの間電圧のうちのひとつが図 2 の画素信号線選択回路 350 に画素印加電圧として出力される。

【0029】

図 4 は下位選択回路 334 により出力される画素印加電圧のレベルを示す。画像信号 D/A 変換部 150 は 4 ビットの画像信号により、 V_{ref0} から V_{ref15} までの 16 種類の画素印加電圧を出力する。たとえば、低圧側スイッチブロック 320 のスイッチ A1 と高圧側スイッチブロック 310 のスイッチ B1 が閉じられたときには、ラダー印加電圧は $V_1 - V_0$ となる。

【0030】

ここで、ラダースイッチブロック 340 のスイッチ C1 が選択された場合には、下位選択回路 334 は V_0 、すなわち、同図に示す V_{ref0} の画素印加電圧を出力する。ラダースイッチブロック 340 のスイッチ C1 ではなく、スイッチ C2 が選択された場合には、下位選択回路 334 は分割抵抗 R_3 の分だけ V_0 より高い電圧である V_{ref1} を画素印加電圧として出力する。以下、同様であり、低圧側スイッチブロック 320 のスイッチ A4 と高圧側スイッチブロック 31

0のスイッチB4、ラダースイッチブロック340のスイッチC4が閉じられたときには、下位選択回路334はV4からラダー抵抗330の分割抵抗R0分の電圧降下を差し引いたVref15の画素印加電圧を出力する。

【0031】

ラダー抵抗330に分割抵抗R0を設けているのは、高圧側スイッチブロック310、低圧側スイッチブロック320およびラダースイッチブロック340の各スイッチの選択の組み合わせが異なっているにもかかわらず、下位選択回路334が結果的に同一の画素印加電圧を出力する状態を生じないように処置するためである。

【0032】

たとえば、分割抵抗R0がなければ、低圧側スイッチブロック320のスイッチA3と高圧側スイッチブロック310のスイッチB3、ラダースイッチブロック340のスイッチC4が選択された場合、下位選択回路334はV3を画素印加電圧として出力する。おなじく、低圧側スイッチブロック320のスイッチA4と高圧側スイッチブロック310のスイッチB4、ラダースイッチブロック340のスイッチC1が選択された場合にも、下位選択回路334はV3を画素印加電圧として出力する。すなわち、各スイッチブロックにおけるスイッチの選択が別でありながら、同一の画素印加電圧が出力される場合が生じる。

【0033】

しかし、分割抵抗R0が存在すれば、前者の場合は、下位選択回路334は基準階調電圧V3から分割抵抗R0による電圧降下分減少した画素印加電圧を出力するので、このような状態を回避できる。すなわち、画像信号D/A変換部150は分割抵抗R0が存在することによって、4ビットの画像信号に応じて16種類の画素印加電圧を出力することができる。

【0034】

図5は電圧を印加しない状態で白表示のモード（以下、「ノーマリーホワイトモード」とよぶ）における、液晶の光透過率と印加電圧の一般的な関係を示す。横軸が印加電圧であり、縦軸が光透過率を表す。同図に示すように印加電圧を大きくするほど、液晶は光を透過しない。したがって、画像信号D/A変換部150の出力する画素印加電圧をコントロールすることで、所望の画像表示が実現さ

れる。

【0035】

次に、図3の高圧側スイッチブロック310、低圧側スイッチブロック320およびラダースwitchブロック340の回路構成について説明する。これらの回路の構成については、図6と図7の二つの方式がある。ここでは、2ビットの回路を例にとる。ここでは、各スイッチはすべてTFTとして説明する。

【0036】

図6は2ビットの信号(D0、D1)でコントロールされるD/A変換回路の一例である。以下、この回路のように、複数のスイッチが間挿される線の経路外に、そのスイッチを選択するための論理が存在する型の回路を「論理外在型回路」とよぶ。

【0037】

電圧供給線204はそれぞれV0からV3まで4種類の電圧の供給を行う。同図の論理外在型回路では、2ビットの信号(D0、D1)に応じて4つのNORゲートと2つのインバータにより、スイッチングTFTS1からS4のうち、ひとつが選択される。これにより、V0からV3までの4つの電圧のうちひとつが供給されるため、D/A変換が実現される。たとえば、D0がオン、D1がオフであるならば、S3のみがオンとなるので、この回路からは電圧V2が出力される。

【0038】

図7は2ビットの信号(D0、D1)でコントロールされるD/A変換回路の別例である。以下、この回路のように、複数の線のうちから所望の一本を選択するための論理の少なくとも一部が、選択されるべき線の経路上に間挿される型の回路を「論理内在型回路」とよぶ。

【0039】

電圧供給線204はそれぞれV0からV3の4種類の電圧の供給を行う。同図の論理内在型回路では、2ビットの信号(D0、D1)に応じて、電圧供給線204上に間挿された6つのスイッチングTFT(S1～S6)が適宜選択される。これにより、V0からV3までの4つの電圧のうちひとつが出力されるため、

D/A変換が実現される。たとえば、D0がオン、D1がオフであるならば、スイッチングTF TはS1、S3およびS6がオンとなるので、この回路からはV1の電圧が出力される。

【0040】

図6の論理外在型回路は、電圧供給線204から電圧を取出す過程でS1からS4のいずれかのスイッチングTF Tしか経由しない。したがって、論理外在型回路は電圧取り出し過程で1段しかスイッチングTF Tを経由しないため電圧降下が小さく、回路の駆動性にも優れた回路である。

【0041】

一方、図7の論理内在型回路は、2ビットの信号につき、6つのTF Tのみで論理構成が出来るので、回路規模を縮小する上で有用な型の回路である。

【0042】

次に、これらのスイッチのオン抵抗による電圧降下に対して処置を施さない場合の弊害について、具体的に説明する。

【0043】

図8はラダー印加電圧から画素印加電圧を取出す模式図である。ここでは、図3の高圧側スイッチブロック310および低圧側スイッチブロック320、およびラダースwitchブロック340内におけるスイッチのオン抵抗が無いと仮定する。

【0044】

同図において、低圧側ラダー抵抗端点336と高圧側ラダー抵抗端点338には、低圧側スイッチブロック320および高圧側スイッチブロック310においてそれぞれ選択された基準階調電圧が印加される。ここでは高圧側ラダー抵抗端点338には基準階調電圧V1、低圧側ラダー抵抗端点336には基準階調電圧V0が印加されるとする。

【0045】

ラダー印加電圧は、分割抵抗R0からR3により分割され、中間電圧取出信号線332により中間電圧が取り出されることは先述のとおりである。同図では4本の間電圧取出信号線332によりVref0からVref3までの電圧が取

り出される。したがって、分割抵抗 R_0 から分割抵抗 R_3 の値を調整することにより、最終的に V_0 から V_1 まで間の任意の画素印加電圧を取り出し得る。

【0046】

図9もラダー印加電圧から画素印加電圧を取出す模式図である。ただし、同図においては図3のラダースイッチブロック340内におけるスイッチのオン抵抗を考慮しないが、高圧側スイッチブロック310および低圧側スイッチブロック320内におけるスイッチのオン抵抗を考慮する。

【0047】

同図において、低圧側ラダー抵抗端点336と高圧側ラダー抵抗端点338には、低圧側スイッチブロック320および高圧側スイッチブロック310においてそれぞれ選択された基準階調電圧が印加される。ここでも高圧側ラダー抵抗端点338には基準階調電圧 V_1 、低圧側ラダー抵抗端点336には基準階調電圧 V_0 が印加されたとする。

【0048】

ここで、抵抗 r_1 および r_2 はそれぞれ高圧側スイッチブロック310および低圧側スイッチブロック320のそれぞれにおいて選択されたスイッチのオン抵抗である。したがって、ラダー抵抗330の両端には、これらのオン抵抗による電圧降下により、実際には V_1 から V_0 ではなく、より狭い範囲でしか電圧の供給がなされない。すなわち、分割抵抗 R_0 から R_3 の抵抗値を調整したとしても、所定の範囲内における電圧は画素印加電圧として供給し得ない。この範囲は同図において斜線で示した部分である。以下、このオン抵抗の電圧降下により、供給できない電圧範囲のことを「供給不可電圧範囲」とよぶ。

【0049】

供給不可電圧範囲は、液晶へ印加できない電圧範囲となる。したがって、これは、画像表示装置の色彩をなめらかにコントロールする上で障害となる。とくに、電圧の供給に際して、スイッチが多段に接続される場合には、この弊害が顕著となる。

【0050】

以下、これらの課題を解決する本発明の実施の形態を示す。

【0051】

図10は6ビットの画像信号によって駆動される基準階調電圧線202、画像信号D/A変換回路300および画素信号線選択信号線352の実施の形態を示す。同図においては、6ビットの画像信号のうち、3ビットを上位信号、残りの3ビットを下位信号としている。

【0052】

同図では、上位選択回路312を論理外在型回路、下位選択回路334を論理内在型回路で形成している。基準階調電圧線202はV0からV8までの9種類の基準階調電圧を供給する。それに対応して、上位選択回路312の高圧側および低圧側のスイッチブロックはそれぞれ8個ずつのスイッチ（B1～B8、A1～A8）を含む。また、ラダー抵抗330は分割抵抗R1～R7により7つに分割され、下位選択回路334は8種類の間接電圧を入力として受け取る。

【0053】

同図にあっては、上位選択回路312における各スイッチのオン抵抗値を適正に調整している。調整方法については後に詳述する。なお、同図においては、図3における分割抵抗R0に該当する抵抗を設けていない。これは、分割抵抗R0が無くても、後述するように、上位選択回路312における各スイッチのオン抵抗を適正に調整することにより、別々のスイッチを選択しながら画像信号D/A変換回路300が結果的に同一の画素印加電圧を出力する状態が生じないからである。

【0054】

スイッチのオン抵抗値の調整は二つの観点から行われる。ひとつは、ラダー抵抗の分割抵抗値とスイッチのオン抵抗値の関係（以下、「第1の関係」とよぶ）であり、もう一つは、各スイッチの接続される基準階調電圧線202の基準階調電圧とオン抵抗値の関係（以下、「第2の関係」とよぶ）である。なお、スイッチがTFTの場合、スイッチのオン抵抗値の調整はTFTのゲート幅やゲート長を調整することにより行うことができる。

【0055】

第1の関係について：

この回路においては、高圧側スイッチブロック 310 のスイッチ B1 から B8 のオン抵抗値は分割抵抗 R1 の抵抗値より小さく設定されている。数値的な具体例としては、TFT ゲート幅を $300\ \mu\text{m}$ 、ゲート長を $4\ \mu\text{m}$ としてそのオン抵抗値を $1.5\ \text{k}\Omega$ に設定するとともに、分割抵抗 R1 の抵抗値を $3\ \text{k}\Omega$ に設定する。また、低圧側スイッチブロック 320 のスイッチ A1 から A8 のオン抵抗値は同様に分割抵抗 R7 の抵抗値より小さく設定されている。

【0056】

図 11 はこの第 1 の関係に基づくスイッチのオン抵抗値の調整後の画素印加電圧のレベルを示す。ただし、原理の説明のため、同図においては、上位選択回路 312 内のスイッチ (A1 ~ A8、B1 ~ B8) のオン抵抗のみに着目し、下位選択回路 334 内におけるスイッチのオン抵抗は考慮しない。

【0057】

同図では、下位選択回路 334 が出力する画素印加電圧のうち、基準階調電圧線 202 の基準階調電圧 V_7 近辺の電圧レベルを示している。同図の電圧降下 356 は、上位選択回路 312 がスイッチ B7 とスイッチ A7 を選択している場合において、スイッチ B7 のオン抵抗による電圧降下を表す。そして、 V_{ref55} と V_{ref54} の電位差は、このとき分割抵抗 R1 にかかる電圧により生じる。したがって、たとえば、スイッチ B7 のオン抵抗値が分割抵抗 R1 の抵抗値の半分であれば、 $V_{ref55} - V_{ref54}$ は、 $V_7 - V_{ref55}$ の 2 倍となる。

【0058】

同様に、同図の電圧降下 358 は、上位選択回路 312 がスイッチ B8 とスイッチ A8 を選択している場合において、スイッチ A8 による電圧降下を表す。そして、 V_{ref57} と V_{ref56} の電位差は、このとき分割抵抗 R7 の両端にかかる電圧により生じる。したがって、スイッチ A8 のオン抵抗値が分割抵抗 R7 の抵抗値の半分であれば、 $V_{ref57} - V_{ref56}$ は、 $V_{ref56} - V_7$ の 2 倍となる。

【0059】

第 1 の関係による調整によって、 V_{ref54} から V_{ref57} の間に存在す

る供給不可電圧範囲を調整し、なめらかな電圧レベルの遷移が実現されている。
なお、ここでは所定のスイッチのオン抵抗値が所定の分割抵抗値の半分となる場合を述べたが、これに限られないことは言うまでもない。

【0060】

第2の関係について：

一般的には、高い電圧ほどその書込に時間を要する。この書込時間を短縮するためには、高電圧を導通するスイッチのオン抵抗値を小さく設定すればよい。スイッチのオン抵抗値を小さくすれば、スイッチの駆動性が高くなるからである。たとえば、ラダー抵抗330の両端に、基準階調電圧としてV8とV7が印加される場合を例にして説明する。

【0061】

この場合、基準階調電圧V8の方が、基準階調電圧V7よりも電圧の書込に時間を要する。したがって、基準階調電圧V8に接続されたスイッチB8のオン抵抗値は、基準階調電圧V7に接続されたスイッチA8のオン抵抗値よりも小さく設定されている。数値的な具体例としては、ラダー抵抗330の分割抵抗R1からR7までの抵抗値が同一とすれば、スイッチB8のオン抵抗値を分割抵抗値の0.33倍、スイッチA8のオン抵抗値を分割抵抗値の0.67倍に設定する。

【0062】

図12はこの第2の関係に基づくスイッチのオン抵抗値の調整後の画素印加電圧のレベルを示す。ただし、原理の説明のため、同図においては、上位選択回路312内のスイッチ（A1～A8、B1～B8）のオン抵抗のみに着目し、下位選択回路334内におけるスイッチのオン抵抗は考慮しない。

【0063】

同図では、下位選択回路334が出力する画素印加電圧のうち、基準階調電圧線202の基準階調電圧V7からV8の近辺の電圧レベルを示している。同図の電圧降下360は、上位選択回路312がスイッチB8とスイッチA8を選択している場合において、スイッチB8のオン抵抗による電圧降下を示す。電圧降下362は、おなじく、スイッチA8による電圧降下を示す。高電圧の供給のため、スイッチB8のオン抵抗値はスイッチA8のオン抵抗値より小さく設定されて

いる。

【0064】

第2の関係による調整によって、信号線駆動回路100が画素信号線510に所定の電圧を書き込むまでの時間を短縮することができる。また、先述のプリチャージ電圧を予め信号線に印加しておく場合において、実際に信号線に供給する電圧がプリチャージ電圧よりも小さい場合には放電を行う必要がある。そのため、低電圧を導通するスイッチであっても、そのスイッチが導通する電圧とプリチャージ電圧の電位差が大きい場合には、やはりスイッチの駆動に時間がかかる。したがって、この場合にも、その低電圧を導通するスイッチのオン抵抗値を小さく設定することで書込時間の短縮をすることができる。また、スイッチA1とスイッチB8のオン抵抗値を他のスイッチのオン抵抗値よりも、小さく設定することによって、ダイナミックレンジ (V_{ref63} から V_{ref0} までの電位差) を大きくすることもできる。

【0065】

先述したように、論理内在型回路はTFT素子数を少なくすることができるので、回路面積を縮小する上で有利である。また、論理外在型回路は電圧取り出し過程で1段しかスイッチングTFTを経由しないため電圧降下が小さく、回路の応答性にも優れる。

【0066】

図11に示す本実施の形態においては、上位選択回路312を論理外在型回路で形成し、下位選択回路334を論理内在型回路で形成している。したがって、画像信号を上位信号と下位信号にビット数を分配するときに、回路面積縮小化と書込時間短縮化のトレードオフを図ることができる。すなわち、画像表示装置の応答速度を優先するならば、論理外在型回路のビット数を多くし、基準階調電圧線202から画素信号線選択信号線352までのスイッチの段数を減少させるように回路を設計する。逆に、回路面積の縮小を優先する場合には、論理内在型回路のビット数を多く配分すればよい。

【0067】

以上、本発明を実施の形態をもとに説明した。実施の形態は例示であり、それ

らの各構成要素の組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0068】

そうした変形例として、表示素子にエレクトロルミネッセンス（以下、単に「EL」とよぶ）材料を用いた場合について説明する。EL素子は電流駆動型であり、液晶材料の場合の画素回路530とはその回路構成が異なる。

【0069】

図13はEL材料を用いた画素回路530の一例である。同図の画素回路530は、書き込みのタイミングを指定するスイッチングトランジスタ T_{r1} と、EL素子に電流を流すドライブトランジスタ T_{r2} の二つのTFTを含む。また、画素回路530は書込電圧を保持するキャパシタC1、走査線520、画素信号線510および電流を供給する電源線512を含む。

【0070】

同図の画素回路530においては、走査線520が選択されるとスイッチングトランジスタ T_{r1} がオンし、画素信号線510の電圧がキャパシタC1に蓄積される。それとともに、ドライブトランジスタ T_{r2} もオンとなりEL素子に書込電圧に応じた電流が流れ、EL素子が発光する。走査線520の選択期間が終了した後も、キャパシタC1に保持された電圧によって、次の画像信号を受け取るまで、EL素子には所定の電流が流れる。

【0071】

【発明の効果】

本発明によれば、画像表示装置の色彩をなめらかにコントロールすることができる。

【図面の簡単な説明】

【図1】 画像表示装置の構成を示す図である。

【図2】 実施の形態にかかる信号線駆動回路の内部構成を示す図である。

【図3】 実施の形態にかかる信号線駆動回路中の画像信号D/A変換部の内部構成を示す図である。

【図4】 図3における信号線駆動回路中の画素印加電圧レベルを示す図で

ある。

【図 5】 ノーマリーホワイトモードにおける液晶の印加電圧と光透過率の一般的な対応関係を示す図である。

【図 6】 論理外在型の D/A 変換回路を示す図である。

【図 7】 論理内在型の D/A 変換回路を示す図である。

【図 8】 信号線駆動回路のスイッチのオン抵抗を考慮しない場合における、ラダー印加電圧から画素印加電圧を取出す模式図である。

【図 9】 信号線駆動回路のスイッチのオン抵抗を考慮する場合における、ラダー印加電圧から画素印加電圧を取出す模式図である。

【図 10】 実施の形態にかかる基準階調電圧線から画素信号線までの回路を示す図である。

【図 11】 実施の形態にかかる、第 1 の関係に基づくスイッチのオン抵抗値調整をした後の画素印加電圧レベルを示す図である。

【図 12】 実施の形態にかかる、第 2 の関係に基づくスイッチのオン抵抗値調整をした後の画素印加電圧レベルを示す図である。

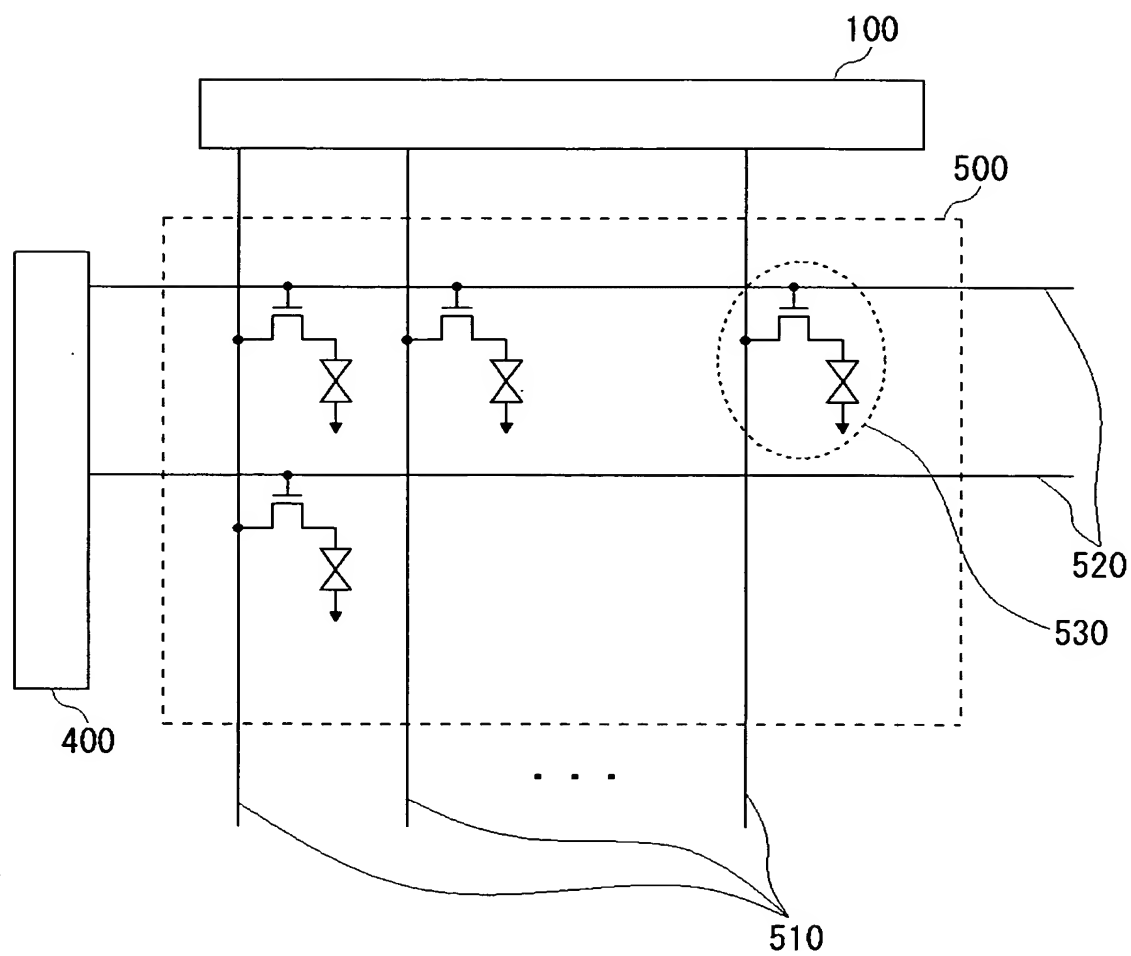
【図 13】 有機 EL 素子を用いた画素回路を示す図である。

【符号の説明】

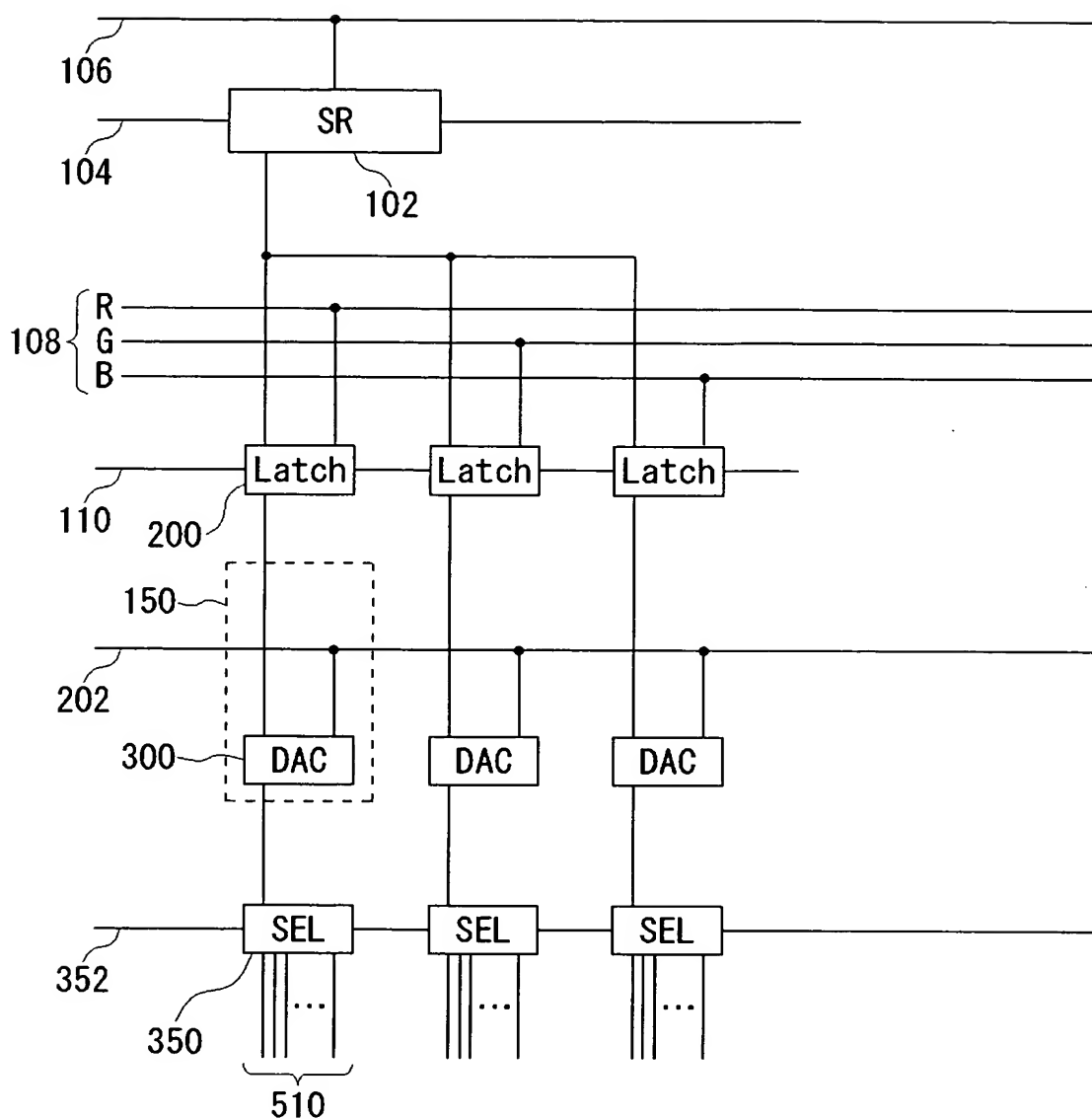
100 信号線駆動回路、202 基準階調電圧線、300 画像信号 D/A 変換回路、310 高圧側スイッチブロック、312 上位選択回路、320 低圧側スイッチブロック、330 ラダー抵抗、332 中間電圧取出信号線、334 下位選択回路、340 ラダースwitchブロック、510 画素信号線、530 画素回路。

【書類名】 図面

【図 1】

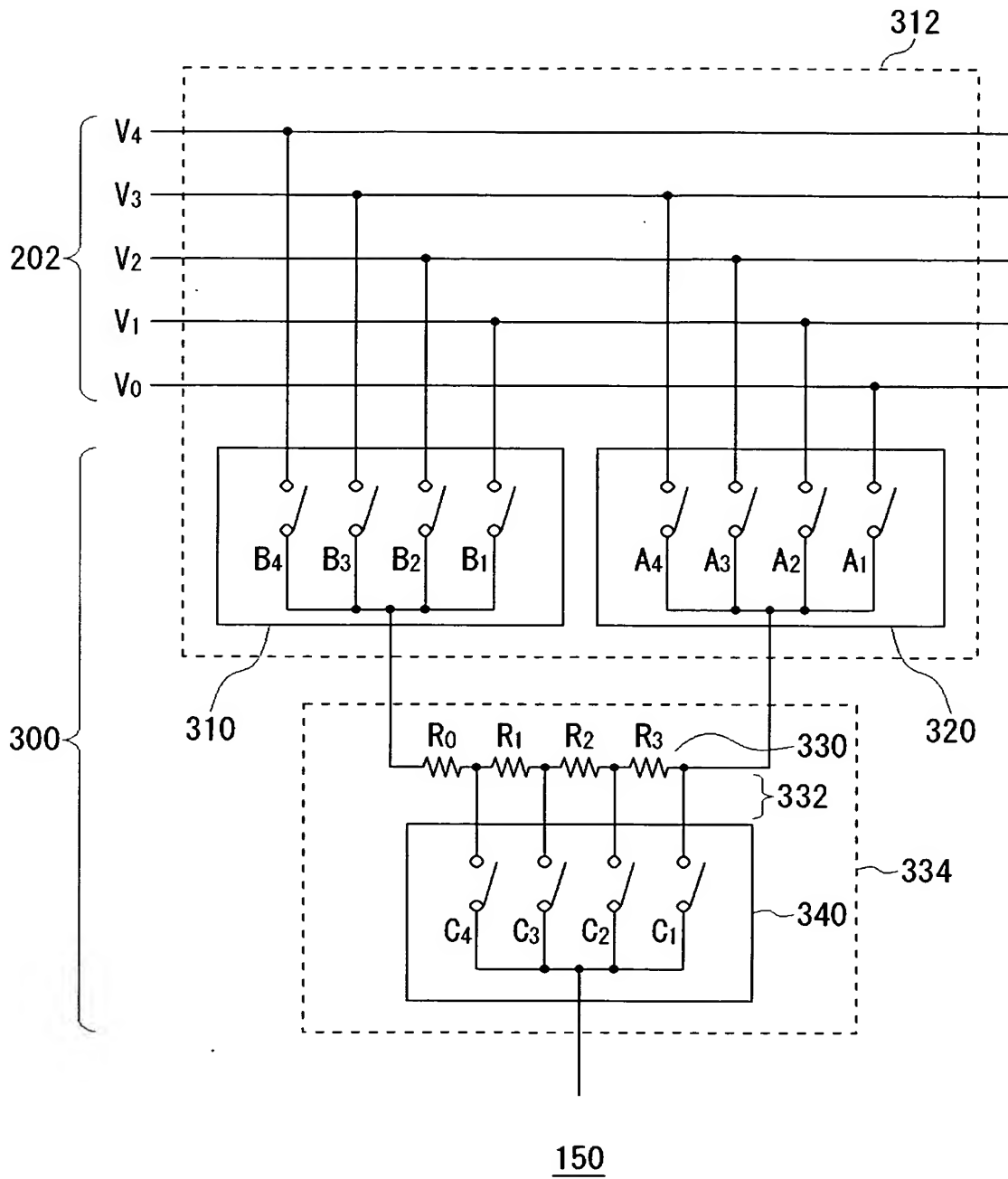


【図 2】

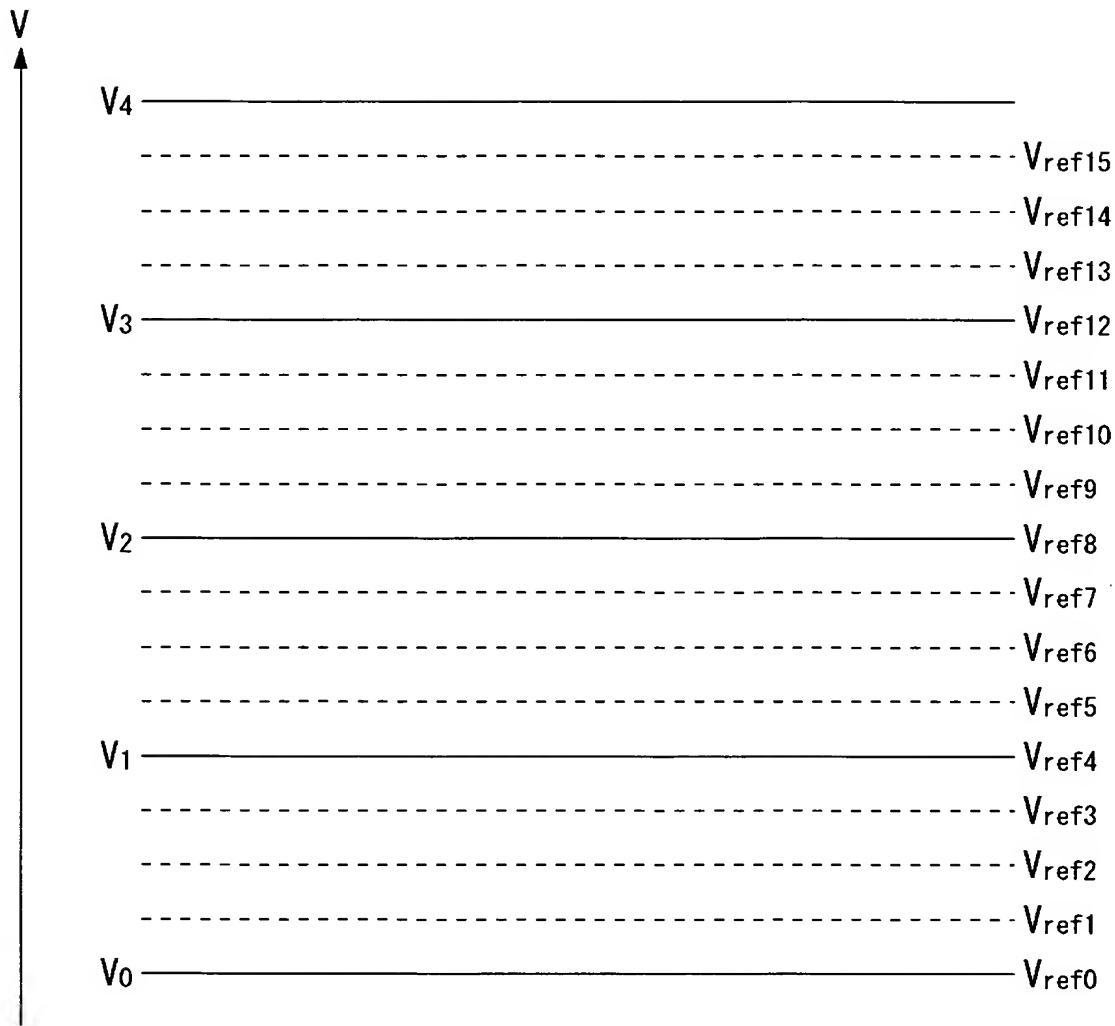


100

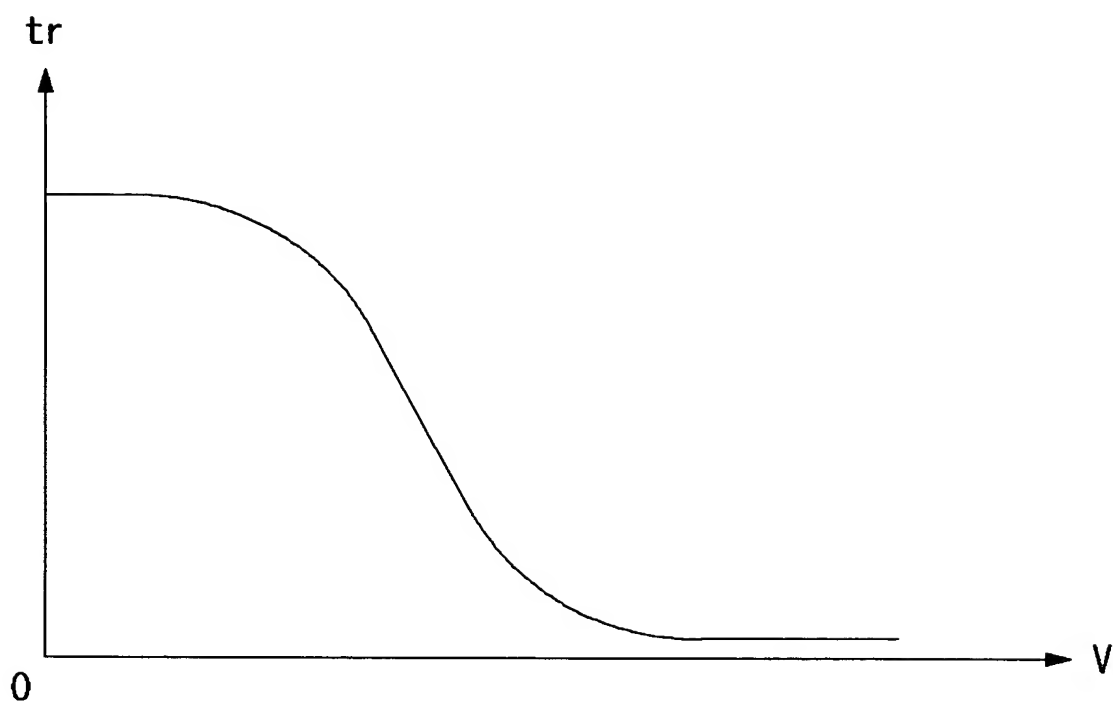
【図 3】



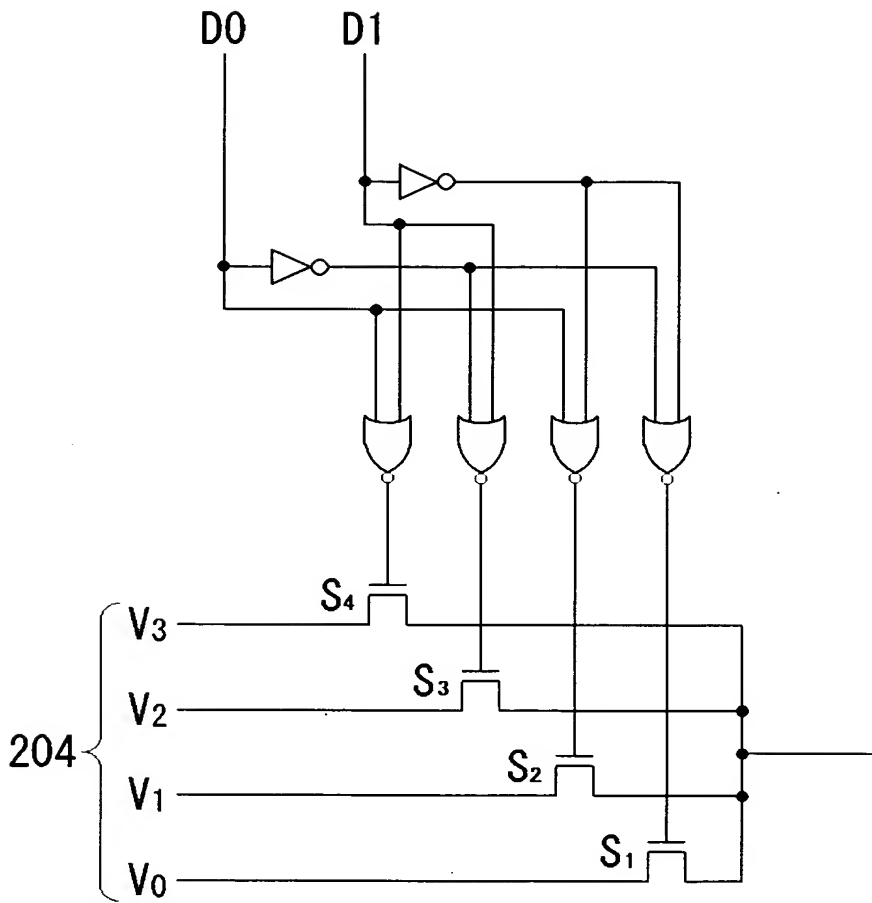
【図 4】



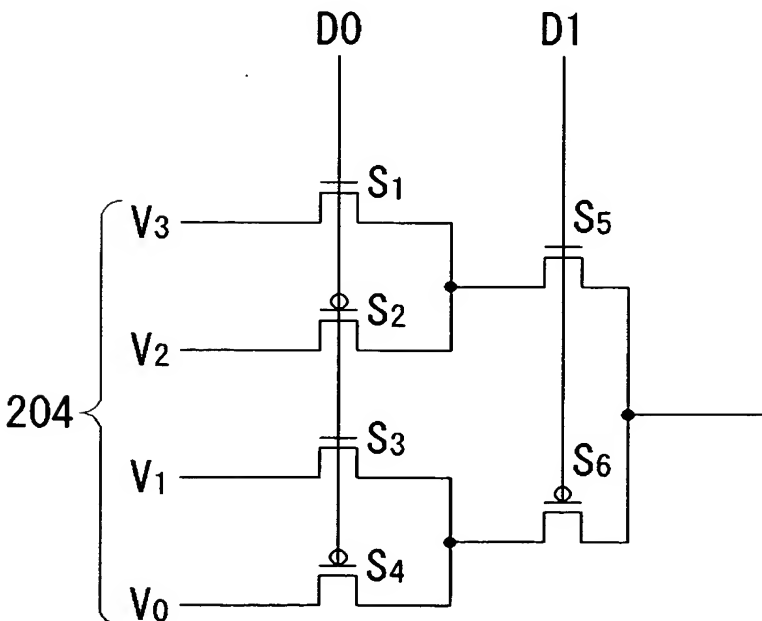
【図 5】



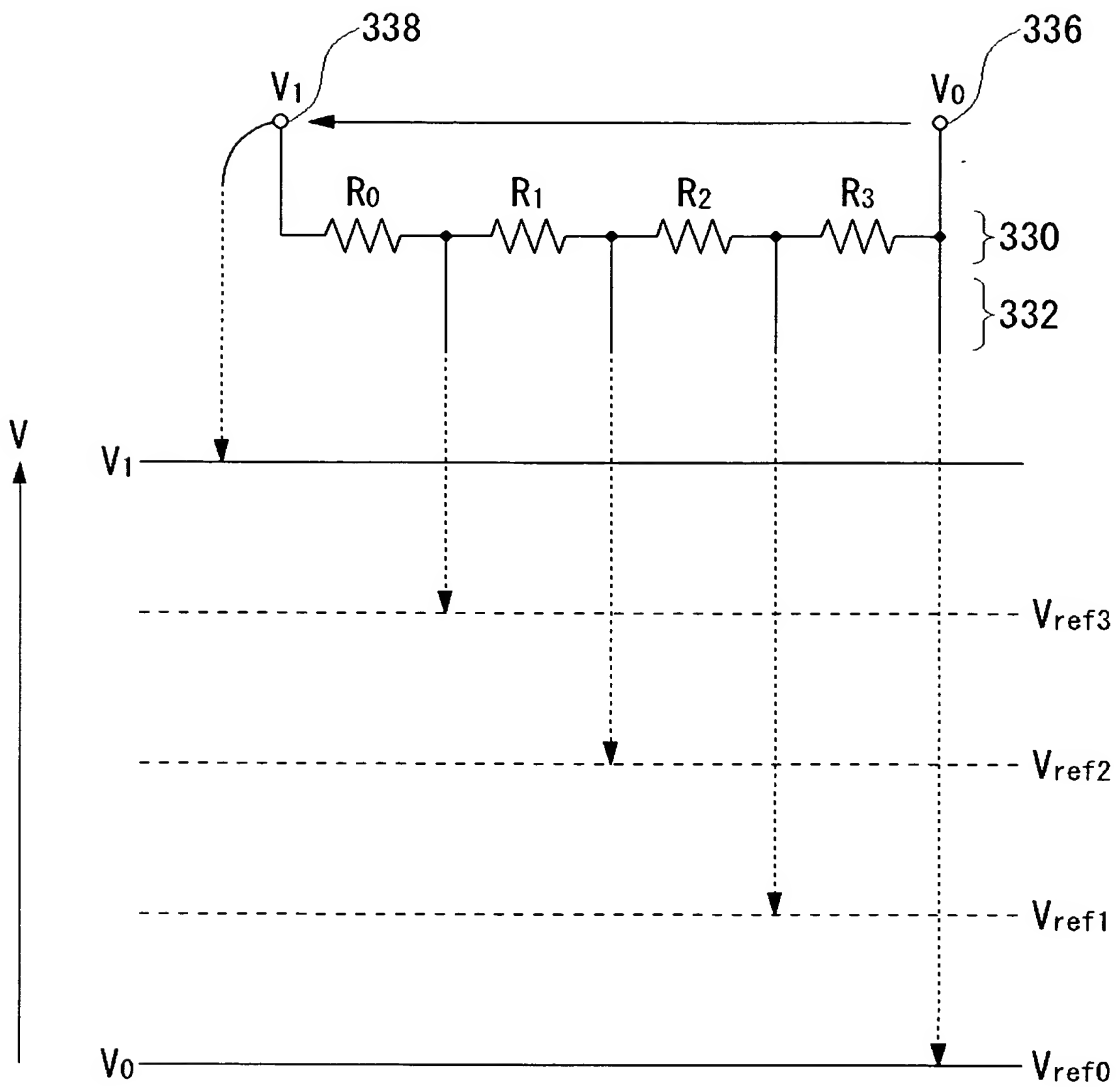
【図 6】



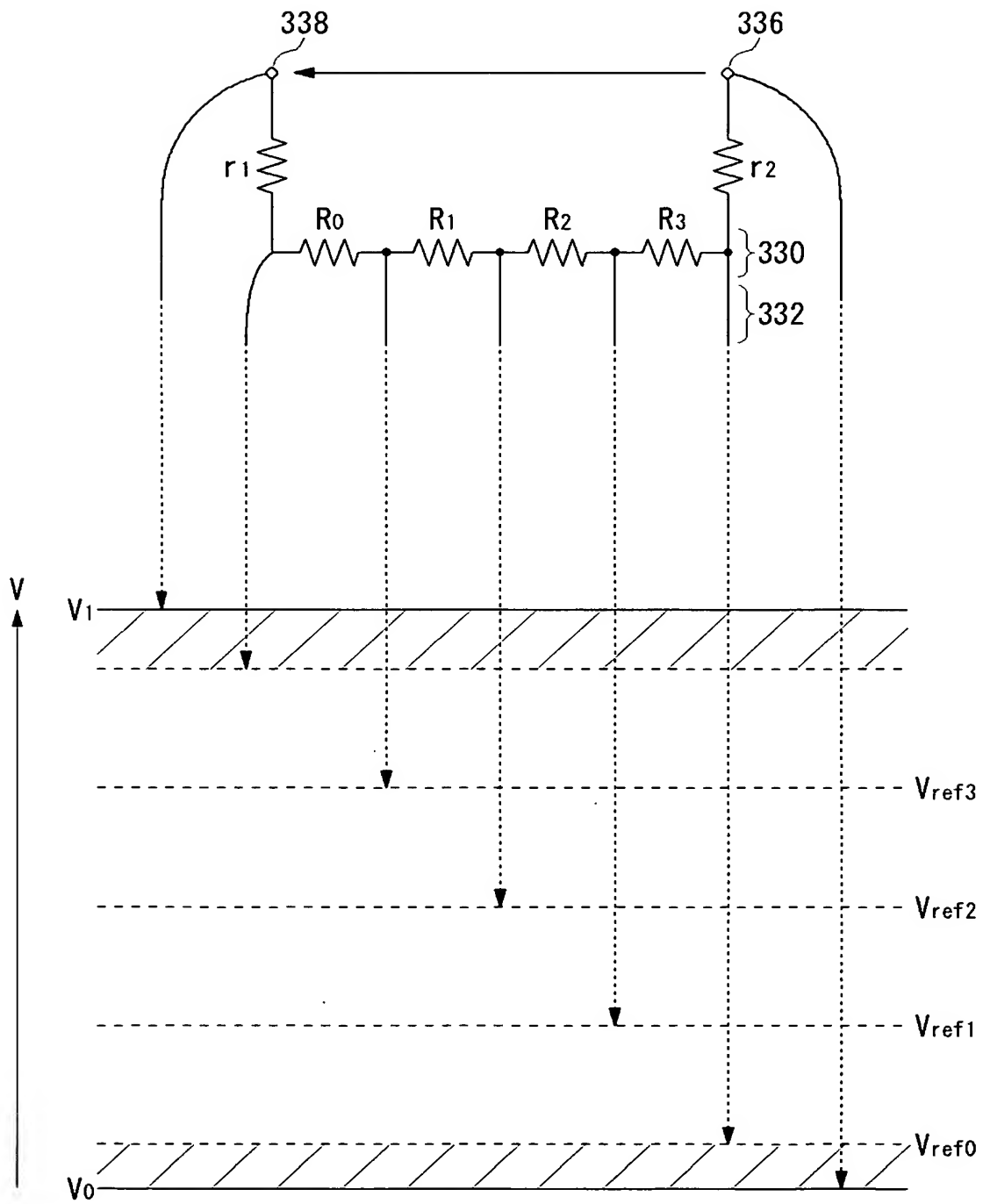
【図 7】



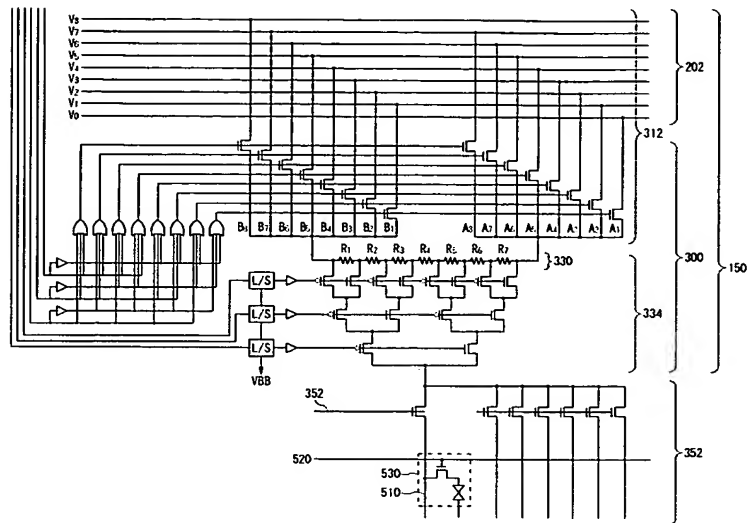
【図 8】



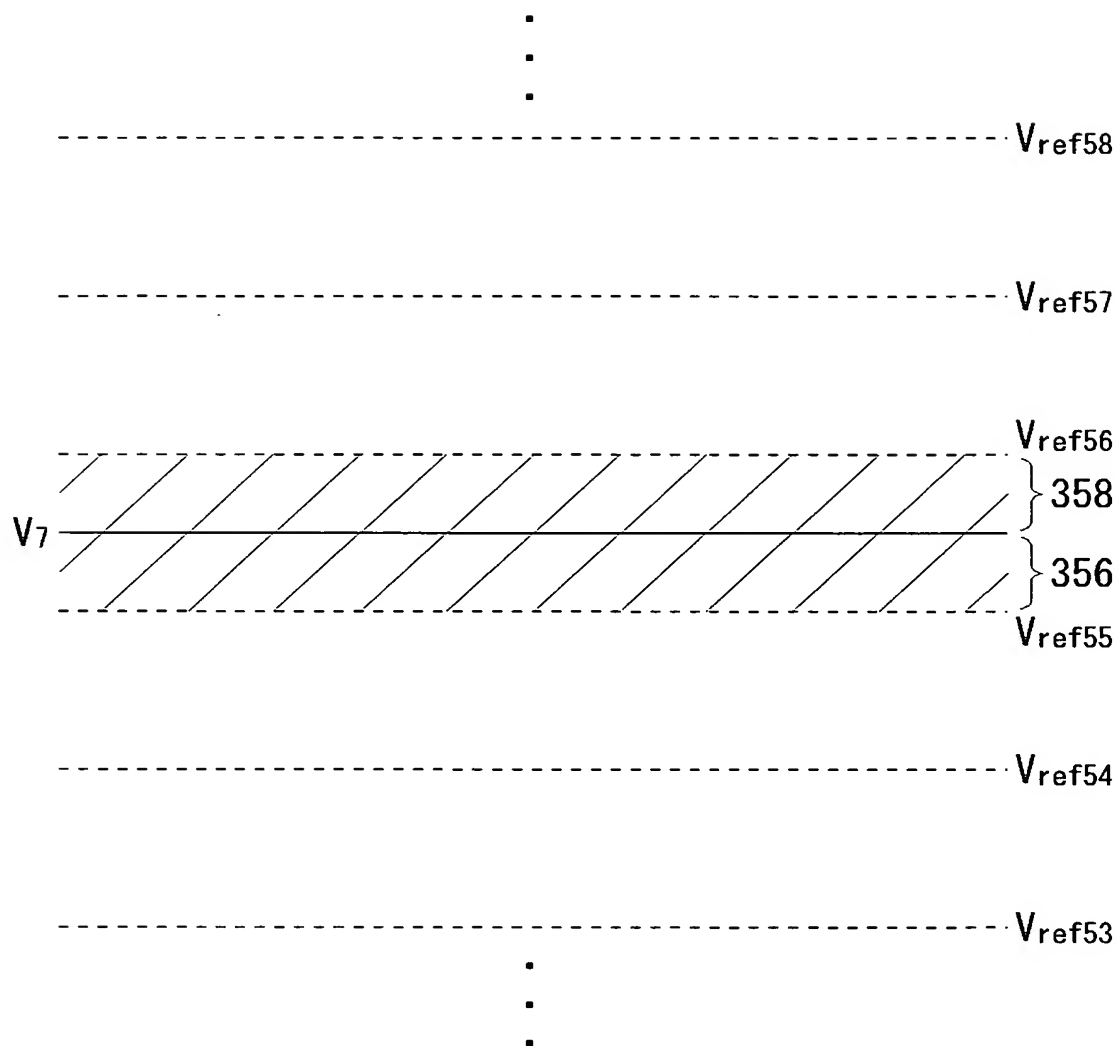
【図 9】



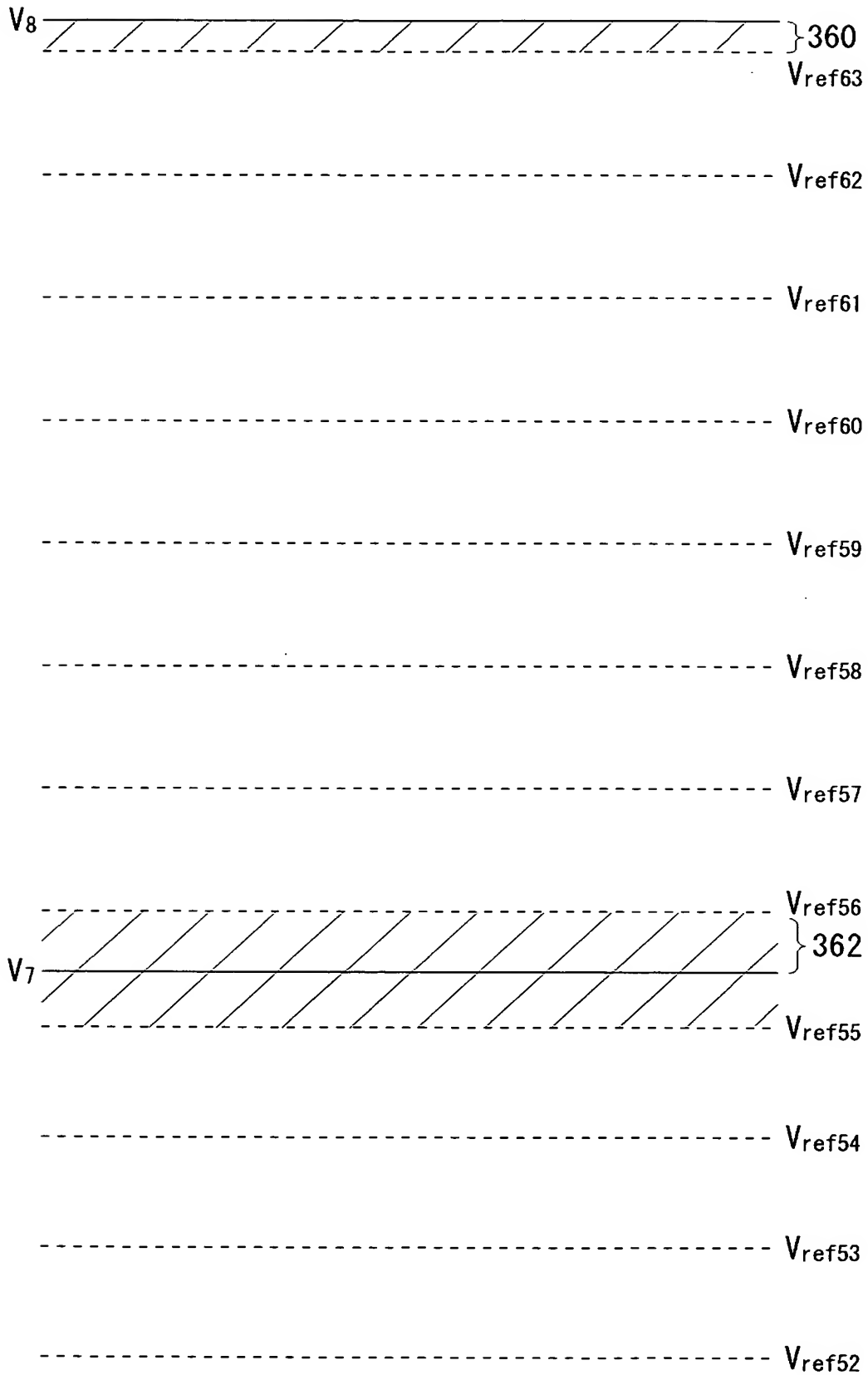
【図 10】



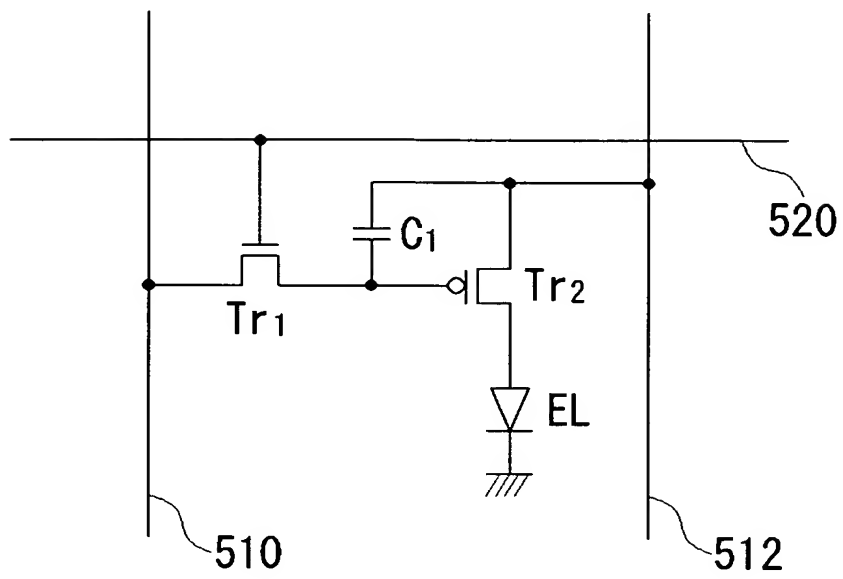
【図 1 1】



【図 1 2】



【図 13】



530

【書類名】 要約書

【要約】

【課題】 画像表示装置における信号線駆動回路内のスイッチのオン抵抗により、色彩のなめらかなコントロールが阻害される。

【解決手段】 上位選択回路 3 1 2 の各スイッチのオン抵抗は、各スイッチが接続される基準階調電圧線 2 0 2 の基準階調電圧と、ラダー抵抗 3 3 0 の分割抵抗に応じて調整される。また、上位選択回路 3 1 2 と下位選択回路 3 3 4 の回路構成を論理外在型回路と論理内在型回路の組み合わせにより構成する。これにより、画像表示装置の色彩をなめらかにコントロールすることができる。

【選択図】 図 1 0

特願 2 0 0 3 - 0 6 1 2 2 3

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社